

FPGAに基づく高性能キャッシュサーバに関する研究

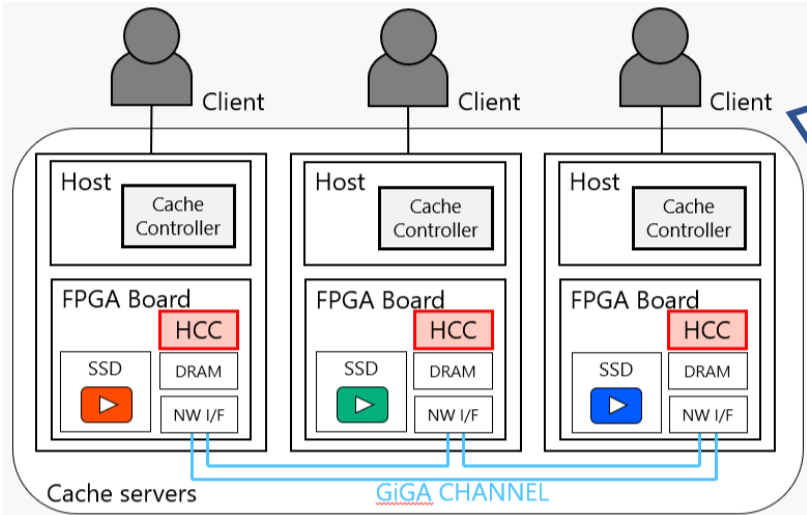
電気通信大学 情報システム学研究科 情報・ネットワークシステム学専攻

YUAN TIANYI 吉永 努

国立大学法人
電気通信大学
Unique & Exciting Campus

背景と目的

- IoT の発展に伴い、関連サービスが益々増えしているため、通信量が増大
- FPGA に基づくキャッシュサーバの利用することで処理時間を削減
 - IoT 関連のハンドオーバー機能での活用することで、処理効率を最適化、低遅延を実現

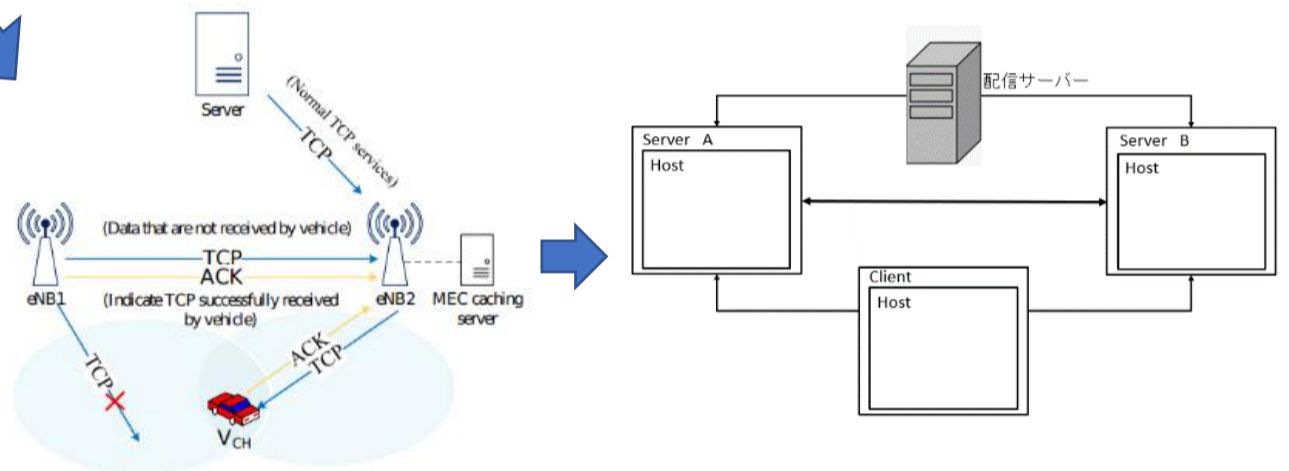


既存の研究と実装環境

- キャッシュ制御を FPGA オフロード
 - HCC (Hardware Cache Controller) と呼ぶモジュールを実装し、SSD アクセスで、キャッシュ制御処理の一部をハードウェアで処理
 - さらに FPGA ボード上の DRAM をキャッシュ領域として使用することで、キャッシュ読み出しの低遅延化



FPGA ボード APX-7142 改



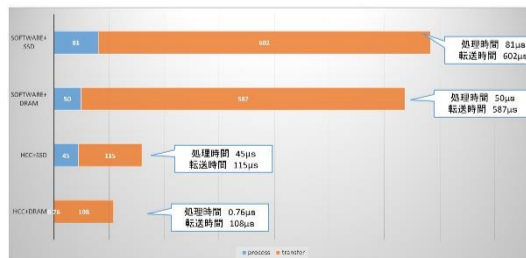
提案する IoT 関連の活用

- キャッシュ制御のハンドオーバー機能
 - ハンドオーバー発生すると、サーバ a とクライアントの通信データがサーバ a からサーバ B に送信され、サーバ B の MEC サーバが受信データをキャッシュ
 - クライアントがハンドオーバーしたサーバ B と通信を開始すると、サーバ B の MEC サーバがキャッシュしたデータをクライアントに送信

現状と今後の展望

キャッシュされたデータを取るプロセスの実装

- ソフトウェアとの比較をした
- 単一リクエストの予想



	キャッシュ制御	ノード間通信	コンテンツ保存先
① Software(SSD)	Host	10G-Ethernet (HTTP)	Host接続のSSD
② Software(DRAM)	Host	10G-Ethernet (HTTP)	Host接続のDRAM
③ FPGA (NW+SSD+HCC)	FPGA	GiGA CHANNEL	FPGA接続のSSD
④ FPGA (NW+DRAM+HCC)	FPGA	GiGA CHANNEL	FPGA接続のDRAM

性能評価

- HCC を使用するため、処理時間大幅に削減
- キャッシュ領域を DRAM にすることで、サーバ処理時間が 1 マイクロ秒ほどになった

今後の課題

- 通信遅延を削減ため、リクエスト生成と状態確認を FPGA 内に集成
- 複数クライアントまたは複数リクエストの性能改善